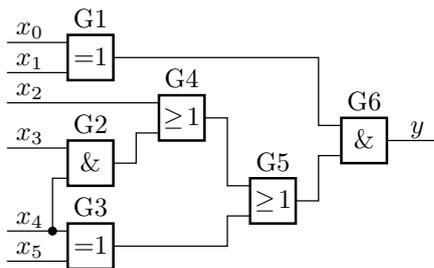


Prüfungsklausur Entwurf digitaler Schaltungen

**Hinweise:** Die Bearbeitungszeit beträgt 90 Minuten. Schreiben Sie die Lösungen, so weit es möglich ist, auf die Aufgabenblätter. Tragen Sie Namen, Matrikelnummer und Studiengang in die nachfolgende Tabelle ein. Zum Bestehen sind  $\geq 20$  Punkte erforderlich. Geben Sie die Aufgabenblätter zum Schluss mit ab.

Name	Matrikelnummer	Studiengang	Punkte	ZPHÜ*	Note

**Aufgabe 1:** Gegeben ist die nachfolgende Schaltung mit den Halte- und Verzögerungszeiten für jeden Gattertyp.



Typ	$t_h$	$t_d$
XOR2	6 ns	10 ns
AND2	2 ns	4 ns
OR2	3 ns	4 ns

- Bestimmen Sie für alle Pfade durch die Schaltung die Halte- und die Verzögerungszeiten. 4P
- Wie groß ist die Halte- und die Verzögerungszeit der Gesamtschaltung? 2P
- Bestimmen Sie den logischen Ausdrucke für die Bildung von  $y$  . 1P
- Ergänzen Sie die Schaltung so um Register, dass sie laufzeittolerant wird. Wie hoch ist die maximale Taktfrequenz, wenn die Register eine Vorhaltezeit von  $t_s = 3$  ns, eine Verzögerungszeit von  $t_{dr} = 4$  ns und eine Nachhaltezeit  $t_n = 0$  haben. 2P

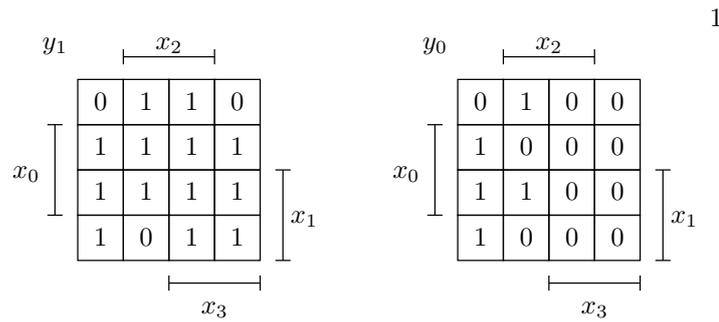
**Aufgabe 2:** Gegeben ist die nachfolgende durch ein FCMOS-Gatter und Inverter zu realisierende Funktion:

$$y = \overline{(x_1 \vee \bar{x}_2) (x_1 \vee x_2) \vee x_3 (x_2 \vee x_4)}$$

- Vereinfachen Sie die logische Funktion soweit wie möglich. 1,5P
- Stellen Sie die Funktionen  $f_n$  und  $f_p$  des NMOS- und des PMOS-Netzwerks des FCMOS-Gatters auf. 1P
- Zeichnen Sie das FCMOS als Transistorschaltung<sup>1</sup>. 1,5P

<sup>1</sup>Statt der Inverter genügt es, die entsprechenden Ein- oder Ausgangsvariablen als invertiert anzugeben.

**Aufgabe 3:** Gegeben sind die beiden nachfolgenden KV-Diagramme:



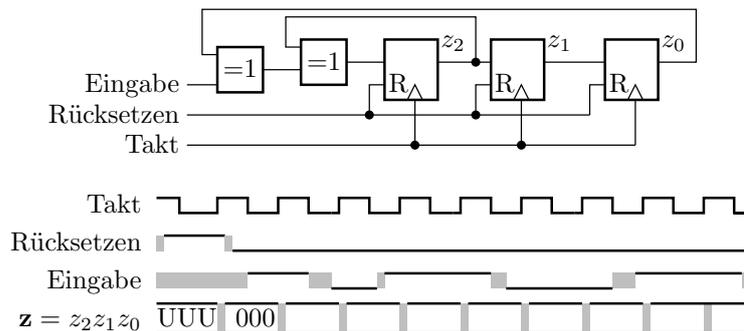
Bestimmen Sie Lesen Sie die minimierte logische Gleichungen (Entwicklung nach den Nullen und unter Mehrfachnutzung von Zwischenergebnissen). 3P

**Aufgabe 4:** Gegeben ist die nachfolgende Wertetabelle:

$a$	0	1	0	1	0	1	0	1
$b$	0	0	1	1	0	0	1	1
$c$	0	0	0	0	1	1	1	1
$y$	1	0	1	0	1	1	1	0

- Zeichnen Sie das zugehörige geordnete (unreduzierte) binäre Entscheidungsdiagramm (OBDD) mit der Abfragereihenfolge A-B-C. 1P
- Entwickeln Sie aus dem unreduzierten ein reduziertes binäres Entscheidungsdiagramm (ROBDD). 2P
- Zeichnen Sie die aus dem reduzierten binären Entscheidungsdiagramm ablesbare Schaltung aus Multiplexern. Ersetzen Sie die Multiplexer mit konstanten Werten an einem oder beiden Dateneingängen durch funktionsgleiche Gatterschaltungen. 2P

**Aufgabe 5:** Gegeben ist die Schaltung eines linear rückgekoppelten Schieberegisters, Eingangssignalverläufe und ein Teil der Zustandswerte.



- Mit welcher Taktflanke übernehmen die Registerzellen ihre Werte und mit welchen Werten werden sie initialisiert? 1P
- Ergänzen Sie die fehlenden acht Zustandswerte. 4P



**Aufgabe 7:** Zeichnen Sie die Schaltung, die die nachfolgende VHDL-Beschreibung nachbildet? 3P

```

signal T, i, i_del, mem: std_logic;
signal bef: std_logic_vector(1 downto 0);
...
process(T)
begin
  if rising_edge(T) then
    case bef is
      when "00" => mem <= mem and i_del;
      when "01" => mem <= mem or i_del;
      when "11" => mem <= mem xor i_del;
      when others => null;
    end case;
    i_del <= i;
  end if;
end process;

```

**Aufgabe 8:** Welche Dezimalwerte werden den nachfolgenden Variablen zugewiesen: 3P

```

variable a: signed(15 downto 0) := x"C10F";
variable b: signed(15 downto 0) := x"40C6";
variable c: signed(16 downto 0);
...
c = '0'&a - b;

```

(signed – Zweierkomplementdarstellung; x"...." – Hexadezimaldarstellung).

**Zur Bewertung:**

Aufgabe	1	2	3	4	5	6	7	8	Summe
max. Punktezahl	9	4	3	5	5	8	3	3	40
erzielte Punktezahl									