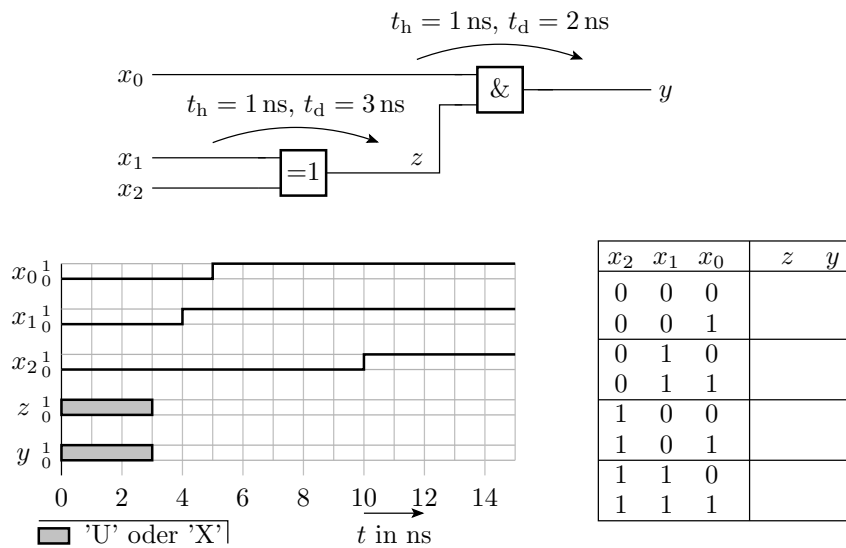


Prüfungsklausur Entwurf digitaler Schaltungen

Hinweise: Die Bearbeitungszeit beträgt 90 Minuten. Schreiben Sie die Lösungen, so weit es möglich ist, auf die Aufgabenblätter. Tragen Sie Namen, Matrikelnummer und Studiengang in die nachfolgende Tabelle ein. Zum Bestehen sind ≥ 20 Punkte erforderlich. Geben Sie die Aufgabenblätter zum Schluss mit ab.

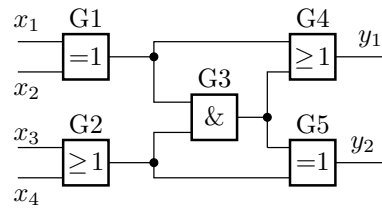
Name	Matrikelnummer	Studiengang	Punkte	ZPHÜ*	Note

Aufgabe 1: Gegeben ist die nachfolgende Schaltung mit den Halte- und Verzögerungszeiten für jeden Gattertyp.



- a) Ergänzen Sie die Signalverläufe für z und y . 2P
- b) Vervollständigen Sie die Wertetabelle. 2P
- c) Bestimmen Sie den logischen Ausdruck für die Bildung von y . 1P

Aufgabe 2:



Typ	t_h	t_d
XOR2	3 ns	6 ns
AND2	1 ns	3 ns
OR2	2 ns	5 ns

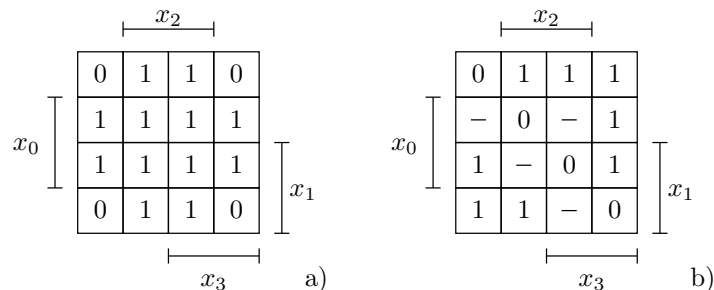
- Bestimmen Sie für alle Pfade durch die Schaltung die Haltezeit t_h und die Verzögerungszeit t_d . 6P
- Wie groß sind die Halte- und die Verzögerungszeit der Gesamtschaltung? 1P
- Zeichnen Sie die Schaltung mit Abtastregistern an den Ein- und Ausgängen. Die Register sollen die Vorhaltezeit $t_s = 3$ ns, die Nachhaltezeit $t_n = 0$, die Haltezeit $t_{hr} = 200$ ps und die Verzögerungszeit $t_{dr} = 2$ ns haben. Wie groß ist die max. Taktfrequenz? 2P

Aufgabe 3: Gegeben ist die nachfolgende durch ein FCMOS-Gatter und Inverter zu realisierende Funktion:

$$z = \overline{(b \vee c \vee \bar{a}d)} c \vee \bar{c}(ab \vee c) \vee \bar{a}c$$

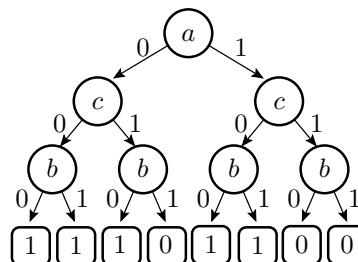
- Vereinfachen Sie die logische Funktion soweit wie möglich. 1,5P
- Stellen Sie die Funktionen f_n und f_p des NMOS- und des PMOS-Netzwerks des FCMOS-Gatters auf. 1P
- Zeichnen Sie das FCMOS-Gatter als Transistorschaltung¹. 1,5P

Aufgabe 4: Gegeben sind die beiden nachfolgenden KV-Diagramme:



- Entwickeln Sie die linke Schaltung nach den Nullen. 1P
- Entwickeln Sie die rechte Schaltung nach den Einsen. Ersetzen Sie »-« (Don't-Care-Felder) so durch '0' oder '1', dass die Schaltung minimal wird. 2P

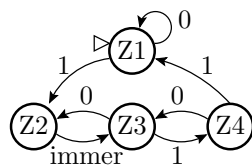
Aufgabe 5: Gegeben ist das nachfolgende geordnete binäre Entscheidungsdiagramm (OBDDD):



¹Statt der Inverter genügt es, die entsprechenden Ein- oder Ausgangsvariablen als invertiert anzugeben.

- a) Stellen Sie die Wertetabelle dafür auf. 1P
- b) Entwickeln Sie aus der Wertetabelle das geordnete Entscheidungsdiagramm mit der geänderten Abfragereihenfolge a-b-c. 1P
- c) Entwickeln Sie für die Abfragereihenfolge a-b-c das reduzierte geordnete binäre Entscheidungsdiagramm (ROBDD). 2P
- d) Entwickeln Sie zu dem ROBDD die Multiplexerschaltung und vereinfachen Sie diese durch Ersatz der Multiplexer mit konstanten Eingaben durch funktionsgleiche Gatterschaltungen. 2P

Aufgabe 6: Gegeben sind der folgende Automatengraph und die Zustandskodierung:



Zustand	Z1	Z2	Z3	Z4
Codierung z_1z_0	00	01	10	11

Übername bei $T = f$

Ausgabe: $y \leq z_1$

Eingabe: x

Initialisierung bei $I = '1'$

- a) Füllen Sie die nachfolgende Tabelle für die Übergangs- und die Ausgabefunktion aus. 2P

Zustand, symbolisch	Z1		Z2		Z3		Z4	
Zustand z_1z_0								
Ausgabe y								
Eingabe x	0	1	0	1	0	1	0	1
Folgezustand, symbol.								
Folgezustand z_1z_0								

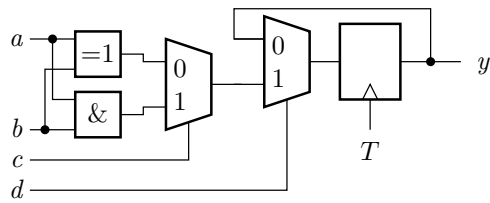
- b) Suchen Sie eine Zustandsfolge und die zugehörige Eingabefolge, bei der der Automat beginnend mit dem Initialzustand die Bitfolge 0-0-0-1-0-1-1-1-0-1-1-0 ausgibt. 3P
- c) Vervollständigen Sie in der nachfolgenden VHDL-Beschreibung die Port- und Signalvereinbarungen (Zeile 5-7 und 10), die Beschreibung der Übergangsfunktion (ab Zeile 14) des Automaten und die Ausgabeanweisung (Zeile 32). 3P

```

1: library IEEE;
2: use IEEE.STD_LOGIC_1164.all;
3: entity Automat is
4: port(
5:   T, I: ...           -- Takt- und Init.-Signal
6:   x: ...              -- Eingangssignal
7:   y: ...              ); -- Ausgabesignal
8: end;

9: architecture Verhalten of Automat is
10:  signal z: ...        -- Zustandssignal
11: begin
12:  process
13:  begin
14:    ...                --Beschreibung Übergangsfunktion
30:  end process;
32:  y <= ...            -- Ausgabebezuweisung
33: end architecture;
```

Aufgabe 7: Gegeben ist folgende Schaltung:



- a) Beschreiben Sie die Schaltung als VHDL-Prozess in einer synthesefähigen Form (nur Signalvereinbarungen und Prozessbeschreibung). 3P
- b) Bestimmen Sie die Zustandsfolge für die in der nachfolgenden Tabelle vorgegebene Eingabefolge: 2P

a	b	c	d	Folgezustand y
1	1	0	1	
1	1	1	1	
0	1	0	0	
1	0	0	1	

Zur Bewertung:

Aufgabe	1	2	3	4	5	6	7	Summe
max. Punktezahl	5	9	4	3	6	8	5	40
erzielte Punktezahl								