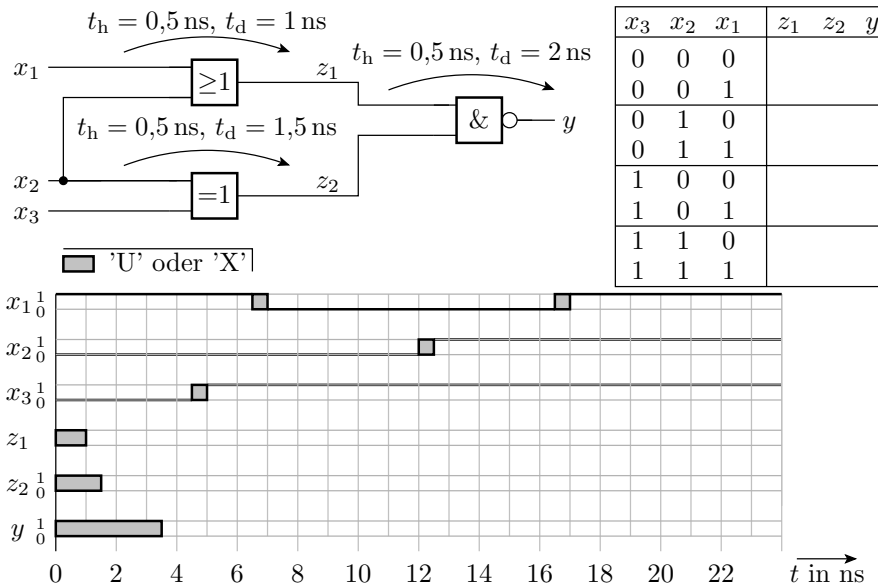


Prüfungsklausur Entwurf digitaler Schaltungen

Hinweise: Die Bearbeitungszeit beträgt 90 Minuten. Schreiben Sie die Lösungen, so weit es möglich ist, auf die Aufgabenblätter. Tragen Sie Namen, Matrikelnummer und Studiengang in die nachfolgende Tabelle ein. Zum Bestehen sind ≥ 20 Punkte erforderlich. Geben Sie die Aufgabenblätter zum Schluss mit ab.

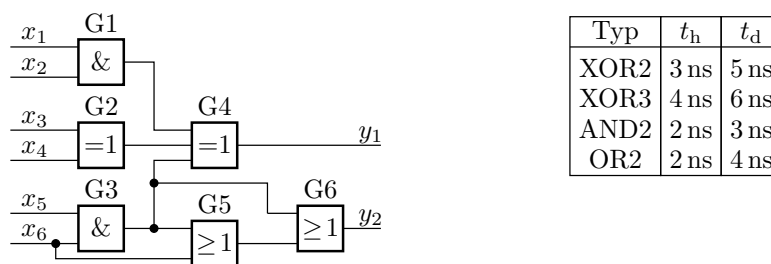
| Name | Matrikelnummer | Studiengang | Punkte | ZPHÜ* | Note |
|------|----------------|-------------|--------|-------|------|
| | | | | | |

Aufgabe 1: Gegeben ist die nachfolgende Schaltung mit den Halte- und Verzögerungszeiten für jeden Gattertyp.



- a) Ergänzen Sie die Signalverläufe für z_1 , z_2 und y . 3P
- b) Vervollständigen Sie die Wertetabelle. 2P
- c) Bestimmen Sie den logischen Ausdruck für die Bildung von y . 1P

Aufgabe 2: Gegeben sind die nachfolgende Schaltung und die Halte- und Verzögerungszeiten der Gatter:



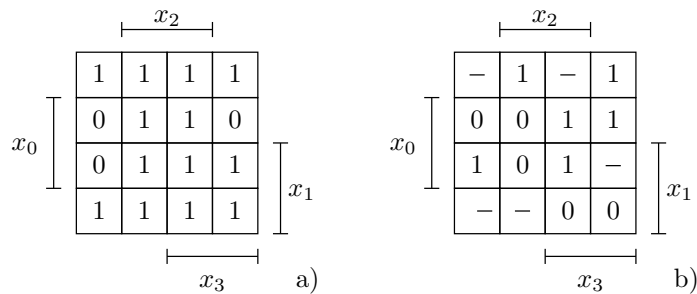
- a) Bestimmen Sie für alle Pfade durch die Schaltung die Haltezeit t_h und die Verzögerungszeit t_d . 6P
- b) Wie groß sind die Halte- und die Verzögerungszeit der Gesamtschaltung? 1P
- c) Zeichnen Sie die Schaltung mit Abtastregistern an den Ein- und Ausgängen. Die Register sollen die Vorhaltezeit $t_s = 3$ ns, die Nachhaltezeit $t_n = 0$, die Haltezeit $t_{hr} = 500$ ps und die Verzögerungszeit $t_{dr} = 1$ ns haben. Wie groß ist die max. Taktfrequenz? 2P

Aufgabe 3: Gegeben ist die nachfolgende durch ein FCMOS-Gatter und Inverter zu realisierende Funktion:

$$z = ab(\bar{d} \vee a) \vee ce \vee cg(c \vee f) \vee cd(\bar{d} \vee e)$$

- a) Vereinfachen Sie die logische Funktion soweit wie möglich. 1,5P
- b) Stellen Sie die Funktionen f_n und f_p des NMOS- und des PMOS-Netzwerks des FCMOS-Gatters auf. 1P
- c) Zeichnen Sie das FCMOS-Gatter als Transistorschaltung¹. 1,5P

Aufgabe 4: Gegeben sind die beiden nachfolgenden KV-Diagramme:



- a) Entwickeln Sie die linke Schaltung einmal nach den Einsen und einmal nach den Nullen. 2,5P
- b) Entwickeln Sie die rechte Schaltung wahlweise nach den Einsen oder Nullen. Ersetzen Sie »-« (Don't-Care-Felder) dabei so durch '0' oder '1', dass die Schaltung minimal wird. 1,5P

Aufgabe 5: Gegeben ist die nachfolgende Menge von Mintermen, für die die logische Funktion eins ist:

$$K \in \left\{ \underbrace{00101}_a, \underbrace{00110}_b, \underbrace{01001}_c, \underbrace{00100}_d, \underbrace{10110}_e, \underbrace{10101}_f, \underbrace{10111}_g, \underbrace{00111}_h \right\}$$

- a) Stellen Sie nach dem Verfahren von Quine und McCluskey die quineschen Tabellen nullter bis zweiter Ordnung auf. Kennzeichnen Sie die Primterme, die durch keine Konjunktionen in den quineschen Tabellen höherer Ordnung abgedeckt sind. 3P
- b) Wählen Sie aus den Primtermen eine minimale Abdeckungsmenge aus und bestimmen Sie den zugehörigen minimierten logischen Ausdruck. 1P

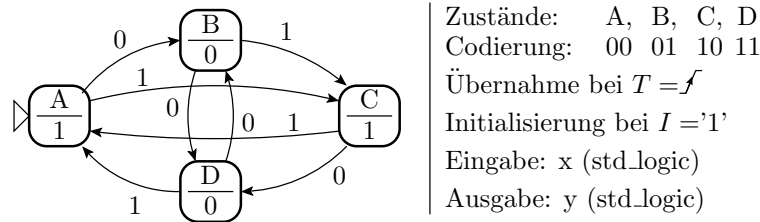
¹Statt der Inverter genügt es, die entsprechenden Ein- oder Ausgangsvariablen als invertiert anzugeben.

Aufgabe 6: Gegeben ist die nachfolgende Wertetabelle:

| | | | | | | | | |
|-------|---|---|---|---|---|---|---|---|
| x_1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| x_2 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| x_3 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| z | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |

- Stellen Sie das geordnete binäre Entscheidungsdiagramm (OBDD) mit der Abfragerihenfolge x_1, x_2, x_3 auf. 1P
- Minimieren Sie das geordnete binäre Entscheidungsdiagramm zu einem reduzierten geordneten binären Entscheidungsdiagramm (ROBDD). 2P
- Entwickeln Sie aus dem ROBDD die Multiplexerschaltung und aus der Multiplexerschaltung eine funktionsgleiche minimierte Gatterschaltung aus Gattern vom Typ AND, OR und NOR.. 1P

Aufgabe 7: Gegeben sind der folgende Automatengraph und die Zustandskodierung:



- Füllen Sie die nachfolgende Tabelle für die Übergangs- und die Ausgabefunktion aus. 2P

| Zustand, symbolisch | A | | B | | C | | D | |
|------------------------|---|---|---|---|---|---|---|---|
| Zustand $z_1 z_0$ | | | | | | | | |
| Ausgabe y | | | | | | | | |
| Eingabe x | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| Folgezustand, symbol. | | | | | | | | |
| Folgezustand $z_1 z_0$ | | | | | | | | |

- Gegeben ist die Zustandsfolge in der nachfolgenden Tabelle. Ergänzen Sie die die Eingabe- und die Ausgabeabfolge. 3P

| Zustand | A | B | C | A | C | D | B | C | D | B | D | A | C |
|-------------|---|---|---|---|---|---|---|---|---|---|---|---|---|
| Ausgabe y | | | | | | | | | | | | | |
| Eingabe x | | | | | | | | | | | | | |

- Vervollständigen Sie in der nachfolgenden VHDL-Beschreibung des Automaten die Port- und Signalvereinbarungen (Zeile 5-7 und 10), die Beschreibung der Übergangsfunktion (ab Zeile 14) und die Ausgabeanweisung (Zeile 32). 3P

```

1: library IEEE;
2: use IEEE.STD_LOGIC_1164.all;
3: entity Automat is
4: port (
5:   T, I: ...           -- Takt- und Init.-Signal
6:   x: ...              -- Eingangssignal

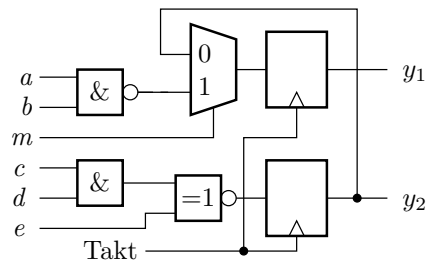
```

```

7: y: ... ); -- Ausgabesignal
8: end;
9: architecture Verhalten of Automat is
10: signal z: ... -- Zustandssignal
11: begin
12: process (T, I)
13: begin
14: ... -- Beschreibung Übergangsfunktion
30: end process;
32: y <= ... -- Ausgabezuweisung
33: end architecture;

```

Aufgabe 8: Gegeben ist folgende Schaltung:



Beschreiben Sie die Schaltung durch einen VHDL-Prozess in einer synthesefähigen Form (nur Signalvereinbarungen und Prozessbeschreibung). 3P

Zur Bewertung:

| Aufgabe | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | Summe |
|---------------------|---|---|---|---|---|---|---|---|----------|
| max. Punktezahl | 6 | 9 | 4 | 4 | 4 | 4 | 8 | 3 | 40 + 2ZP |
| erzielte Punktezahl | | | | | | | | | |