



Grundlagen der Digitaltechnik

Große Übung 4

Prof. G. Kemnitz, Dr. C. Giesemann

Institut für Informatik, Technische Universität Clausthal
13. April 2022



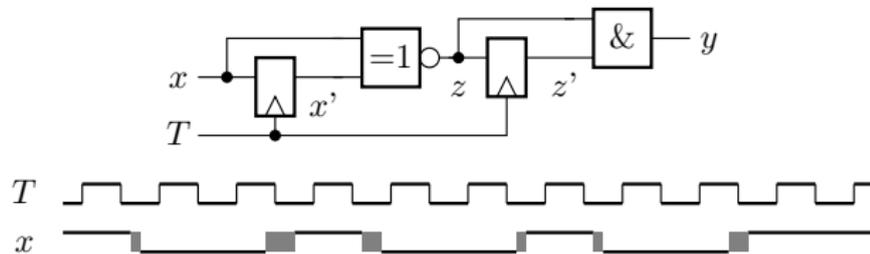
Aufgabe 4.1: Extraktion des Signalflussplans

```
signal x, tmp, acc, y: std_logic_vector(3 downto 0);
signal op: std_logic_vector(1 downto 0);
signal T: std_logic;
...
process(T)
begin
  if rising_edge(T) then
    case op is
      when "00" => acc <= x;
      when "01" => acc <= acc + tmp;
      when "10" => acc <= acc - tmp;
      when others => null;
    end case;
    tmp <= x;
  end if;
end process;
y <= acc;
```

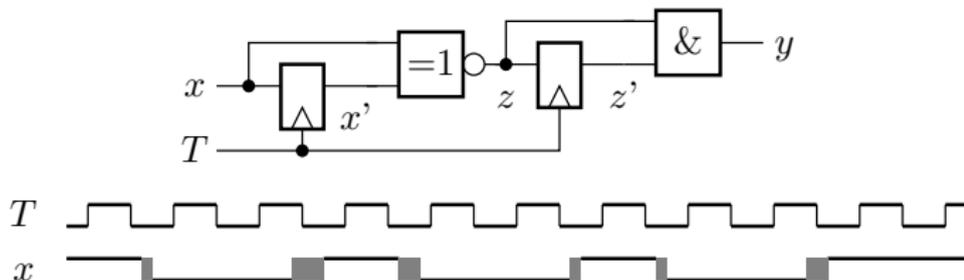
Bilden Sie den Berechnungsfluss durch eine Schaltung aus Registern, Rechenwerken und Multiplexern nach.

Aufgabe 4.2: Logikfunktion mit Zwischenabtastung

Bestimmen Sie für die gegebene Schaltung und den gegebenen Eingangssignalverlauf die Signalverläufe der Zwischensignale x' , z , z' und des Ausgangssignals y .



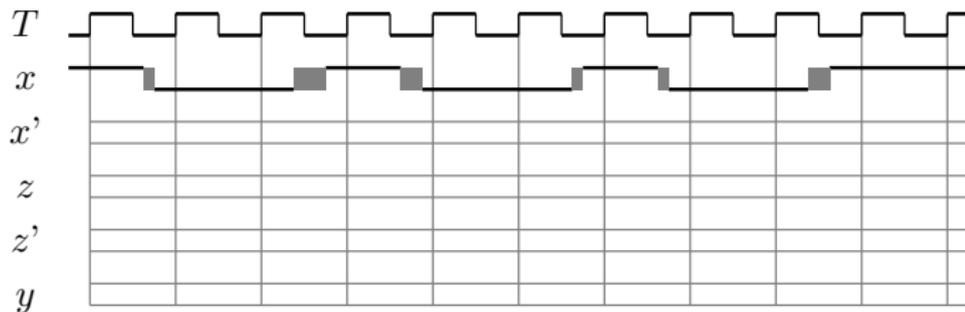
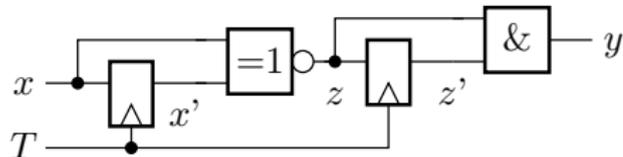
(Vorhalte-, Halte- und Verzögerungszeiten der Gatter und Speicherzellen seien gegenüber der Taktperiode vernachlässigbar.)



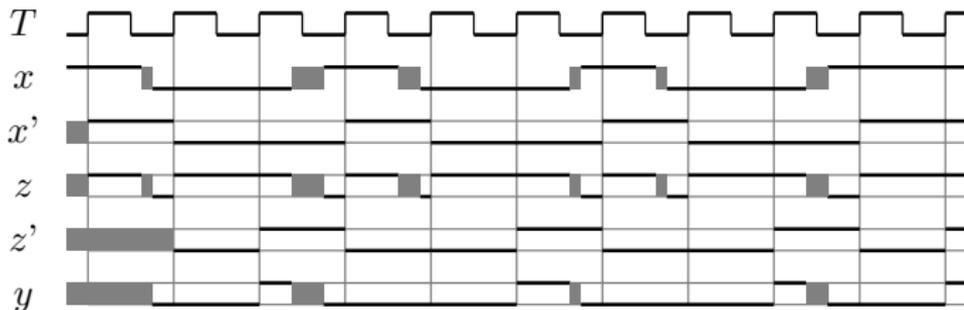
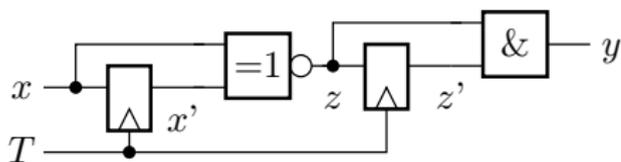
Hinweise:

- Der Zeitverlauf der unabgetasteten Eingabe wirkt ohne zeitliche Ausrichtung bis auf das Ausgabesignal.
- Wenn ein Eingang der UND-Verknüpfung 0 und der andere ungültig ist, ist die Ausgabe 0.

Lösung

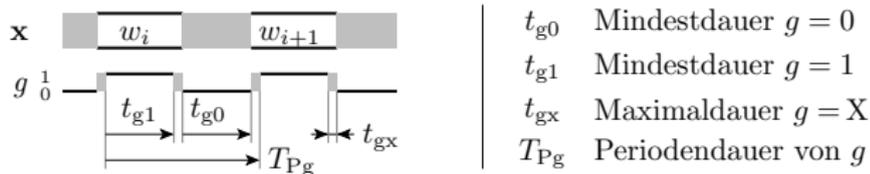


Zur Kontrolle



Aufgabe 4.3: Asynchrone parallele Übertragung

Bei einer asynchronen Übertragung seien die mit dem Signal x übertragenen Datenworte immer dann gültig, wenn das mit übertragene Gültigkeitssignal $g \neq 0$ ist:



- 1 Mit welcher Taktfrequenz muss die Empfangsschaltung die beiden Signale mindestens abtasten¹?
- 2 Wie ist das Gültigkeitssignal für die abgetasteten Datenworte zu bilden, damit es für jedes abgetastete gültige Datenwort genau einen Takt lang aktiv ist?

¹Zeit für $g = 0$ gleich Zeit für $g = 1$