



Grundlagen der Digitaltechnik

Große Übung 5

Prof. G. Kemnitz, Dr. C. Giesemann

Institut für Informatik, Technische Universität Clausthal
13. April 2022



Aufgabe 5.1: Registerextraktion

```
signal K,L,M,N,P,Q: STD_LOGIC_VECTOR(7 downto 0);  
signal c: STD_LOGIC_VECTOR(1 downto 0);
```

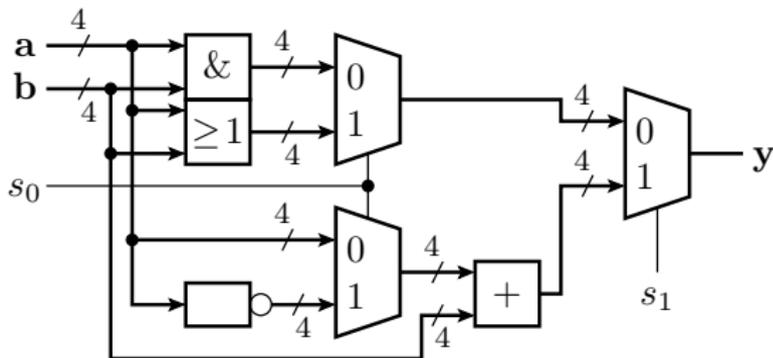
```
process(c(0))  
begin  
  if RISING_EDGE(c(0)) then  
    L <= K;  
  end if;  
end process;
```

```
process(c(1))  
begin  
  if RISING_EDGE(c(1)) then  
    N <= M; M <= L;  
  end if;  
end process;
```

```
process(c(1))  
begin  
  if FALLING_EDGE(c(1)) then  
    P <= L; Q <= P;  
  end if;  
end process;
```

- Anschlussignale, Übernahmebedingungen etc. aller beschriebenen Register suchen
- Signalflussplan zeichnen

Aufgabe 5.2: Beschreibung als synthesefähiger kombinatorischer Prozess



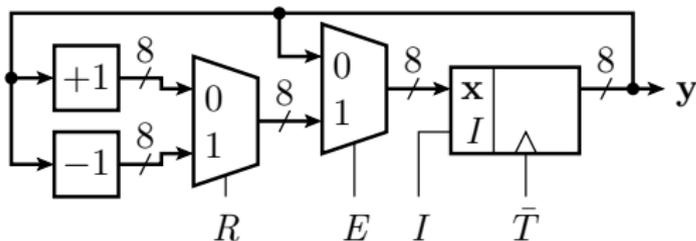
— STD_LOGIC

$\frac{4}{-}$ UNSIGNED (3 downto 0)

Aufgabe 5.3: Beschreibung als synthesefähiger Abtastprozess

```

signal y: SIGNED(7 downto 0);
signal R, E, I, T: STD_LOGIC;
  
```



- Initialisierungswert »alles null«