

Substratstromtest für CMOS-Schaltungen

Günter Kemnitz

Heiko Köhler

Technische Universität Dresden

Institut Technische Informatik

01062 Dresden

1 Betriebsruhestromüberwachung

Eine bedeutende Neuerung für den Schaltungstest ist der Betriebsruhestromtest (IDDQ-Test) [So86]. Ausgenutzt wird die Eigenschaft von CMOS-Schaltungen, daß der Betriebsstrom nach jedem Schaltvorgang in endlicher Zeit abklingt. In einem CMOS-Gatter, bestehend aus einem n-Kanal- und einem komplementären p-Kanal-Netzwerk, ist im fehlerfreien Fall stets nur eines der beiden Netzwerke leitend. Ein statischer Strom weist auf einen Defekt hin.

Die zusätzliche Überwachung des Abklingens des Betriebsstroms in jedem Testschritt gestattet eine erhebliche Verbesserung der Testqualität [St90]. Erkannt werden alle Fehler, die eine erhöhte Stromaufnahme zur Folge haben. Dazu zählt ein großer Teil der Fehlerquellen für Logikfehler: ständig leitende Transistoren, Kurzschlüsse und bestimmte Unterbrechungen (floating gates). Darüber hinaus gibt es Stromfehler, die nicht logisch nachweisbar sind, aber vor allem in batteriebetriebenen Geräten Probleme verursachen. Gleichfalls können solche Fehler Indikator für Frühausfälle sein [Fa84].

Die technische Durchführung des Betriebsruhestromtests für VLSI-Schaltungen ist mit mehreren Problemen behaftet. Für Einzelgatter übersteigt der Betriebsruhestrom im Fehlerfall (nA bis μ A) deutlich den Ruhestrom im fehlerfreien Fall. In einer VLSI-Schaltung addieren sich die Ruhestrome von vielen Tausend Gattern. Zum Nachweis geringer Fehlerströme muß die Schaltung unter Testbedingungen in Blöcke mit separater Stromüberwachung aufgeteilt werden. Für eine externe Strommessung ist das technologisch nicht realisierbar. Die Messung des Ruhestroms darf erst nach Abschluß aller schaltungsinternen Umladevorgänge erfolgen. Sonst besteht ein Risiko, fehlerfreie Schaltungen als fehlerhaft zu klassifizieren. Andererseits soll die Testzeit nicht übermäßig lang sein, was auf einen Kompromiß zwischen Testzeit und Ausbeute hinausläuft.

2 Selbsttest mit Betriebsruhestromüberwachung

Die oben aufgeführten Probleme lassen sich mit einer Selbsttestanordnung nach Bild 1 umgehen. Der Stromsensor, die Basis-Emitter-Strecke eines in Emitterschaltung betriebenen Bipolartransistors, ist auf dem Chip integriert. Ein parallel angeordneter Widerstand stellt die Schaltschwelle ein. Das Signal "Strom fließt / fließt nicht" wird in verstärkter Form am Kollektor abgegriffen. Diese Art Sensor ist schnell, empfindlich, aber nicht besonders genau. Der Mangel an Genauigkeit wird durch Aufteilung des Prüfobjekts in Blöcke mit separater Stromüberwachung kompensiert. Die Partitionierung, auch erforderlich zum Einbau von BIST-Funktionen (built-in self-test), erhöht den Kontrast zwischen fehlerhaftem und fehlerfreiem Strom, was gleichbedeutend mit

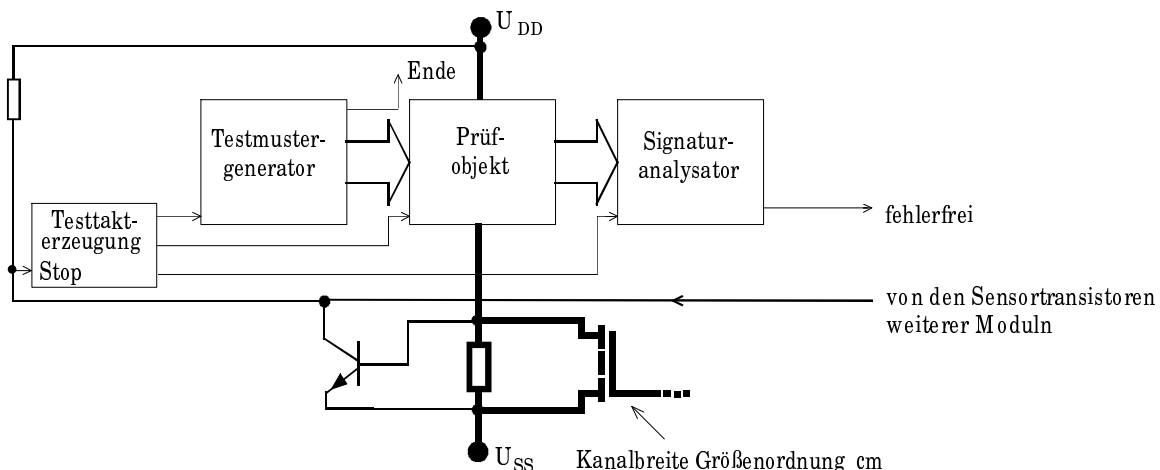


Bild 1: Selbsttest mit Betriebsruhestromüberwachung

geringeren Anforderungen an den Sensor ist. Die Sensortransistoren der einzelnen Module sind als Wire-OR verschalten.

Das Zeitproblem der Umladevorgänge wird durch eine Koppelung zwischen Stromsensor und Taktschaltung gelöst. Der Takt für den Testmustergenerator, das Prüfobjekt und die Testdatenauswerteschaltung schaltet nur weiter, wenn der Betriebsstrom eine kritische Schwelle unterschreitet. Es stellt sich automatisch die minimale Testzeit ein. Technologische Unregelmäßigkeiten (z.B. veränderte Schichtwiderstände) lassen sich direkt an der Testzeit ablesen. Im Fehlerfall erzeugt die Testanordnung kein Endesignal.

Im normalen Betrieb muß der Meßtransistor überbrückt werden. Im anderen Fall ergeben sich veränderte Ein- und Ausgangspegel für die Schaltung, und die Geschwindigkeit verringert sich etwa proportional zum Spannungsverlust über dem Meßtransistor (z.B. $U_{DD} = 5V$, $U_{BE} = 0,7V$: Geschwindigkeitsverlust ca. 14%). Zur Überbrückung des Stromsensors ist ein großflächiger MOS-Transistor erforderlich. Seine Kanalbreite muß mindestens eine Größenordnung "durchschnittliche Transistorbreite \times Anzahl der Gatter im überwachten Modul" haben. Für eine VLSI-Schaltung mit 100.000 Gattern entspricht das in der Summe für alle Deaktivierungstransistoren etwa 10 cm Transistorbreite. Diese Größenordnung (ca. 3 bis 10% der gesamten Chipfläche) macht die Integration des Betriebsruhestromtests in Silizium teuer.

3 Substratstrom statt Betriebsruhestrom

Der Substratstrom ist ein parasitärer Effekt und wird im Einschnürbereich der Kennlinie eines MOS-Transistors generiert. Eine Spannung zwischen Gate und Substrat betragsmäßig größer der Schwellspannung U_T erzeugt an der Oberfläche des Substrats einen leitfähigen Kanal. Ein Stromfluß im Kanal verursacht ein Spannungsgefälle an der Substratoberfläche und damit auch ein Gefälle in der Ausprägung des Kanals. Im Fall $|U_{GD}| < |U_T|$ endet der leitfähige Kanal kurz vor der Drainregion (Bild 2a). D.h., der Kanal wird eingeschnürt. Über der Einschnürregion beträgt der Spannungsabfall etwa $|U_{GD}| - |U_T|$. Die Länge der Einschnürung stellt sich automatisch entsprechend ein. Auf Grund der hohen Feldstärke werden die Ladungsträger über die normale Driftgeschwindigkeit hinaus beschleunigt, und durch Stoßionisation mit Gitteratomen werden zusätzliche Ladungsträgerpaare generiert. In einem n-Kanaltransistor wandern die freiwerdenden Löcher zum Substratanschluß (Bild 2b). Die Ladungsträgergeneration ist etwa proportional zur Feldstärke und zum Drainstrom. Bild 2c zeigt die Substratstromkennlinie eines n-Kanaltransistors. In p-Kanaltransistoren ist die Generation geringer.

4 Fehlererkennungsverhalten

Ein Substratstrom wird nur in Transistoren generiert, die sich im Einschnürbereich befinden und die von einem Strom durchflossen werden. Genau wie der Betriebsstrom klingt der Substratstrom nach jedem Schaltvorgang nach einer gewissen Zeit ab. Ein erhöhter statischer Substratstrom deutet auf einen Fehler. Bild 3 zeigt die Übertragungskennlinie eines Inverters. Die diskutierten Eigenschaften sind auf allgemeine CMOS-Gatter übertragbar. Bis zum Erreichen der Schwellspannung des n-Kanaltransistors befindet sich dieser im gesperrten Zustand. Weder durch den n- noch durch den p-Kanaltransistor fließt Strom. Es wird kein Substratstrom generiert. Bis zur Spannung $\approx U_{in}/2$ befindet sich der n-Kanaltransistor im Einschnürbereich und generiert einen

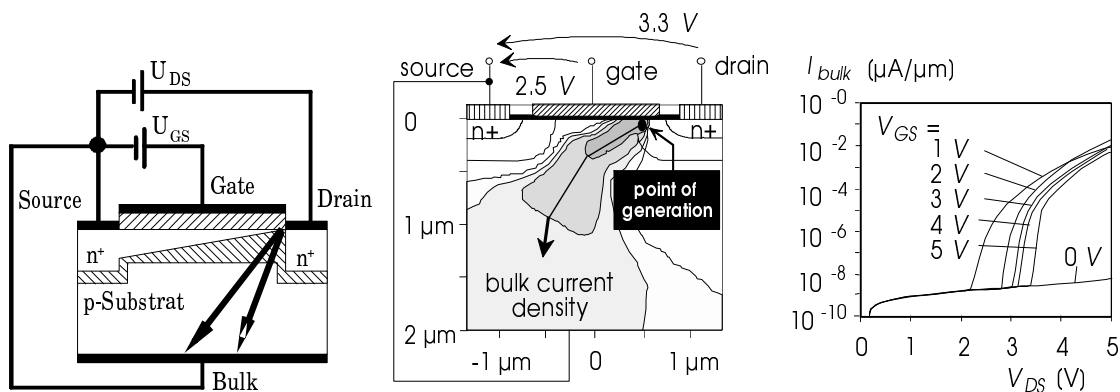


Bild 2: Links: Ursache des Substratstroms
 Mitte: Räumliche Verteilung des Substratstroms (simuliert mit DUPSIM [Gr93])
 Rechts: Substratstromkennlinie (simuliert mit DUPSIM)

Substratstrom von wenigen pA je μm Transistorbreite. Nach Überschreiten der Schaltschwelle bis zum Sperren des p-Kanaltransistors befindet sich der p-Kanaltransistor im aktiven Bereich und generiert seinerseits einen Substratstrom. Über den Substratstrom läßt sich der überwiegende Bereich verbotener Pegel an einem Invertiereingang bzw. an Eingängen komplementärer CMOS-Gatter (bei entsprechender Stimulierung) nachweisen. Im Vergleich zum Betriebsruhestromtest erfaßt der Substratstromtest keine fehlerhaften Pegel nahe dem Umschaltspunkt. Die generierten Substratströme heben sich für einzelne Transistoren bei 5V Betriebsspannung um eine Größenordnung von 10^5 bis 10^7 vom Grundsubstratstrom ab. Bei höheren Betriebsspannungen verbessert sich der Kontrast spürbar, und der nicht erfaßbare Eingangsspannungsbereich verringert sich. Der Substratstrom ist stark technologieabhängig. Bei geringen Betriebsspannungen läßt er sich praktisch nicht für den Fehlernachweis nutzen.

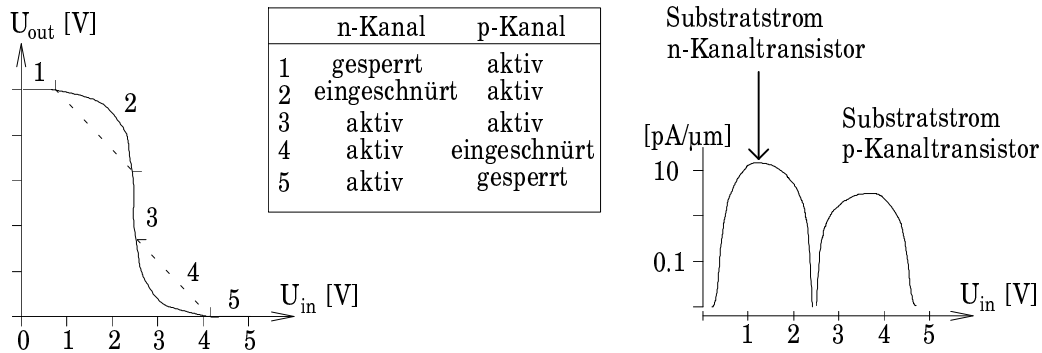


Bild 3: Substratstromgenerierung für einen CMOS-Inverter

Typische Fehlerfälle, die vom Betriebsruhestromtest erfaßt werden, sind Kurzschlüsse. Der Fehler ist nachweisbar, wenn die kurzgeschlossenen Knoten gleichzeitig über einen eingeschalteten n-Zweig mit U_{SS} und einen leitenden p-Zweig mit U_{DD} verbunden sind. Als Modell soll ein Inverter mit zwei eingeschalteten Transistoren ($U_{GS_n} = 5V$; $U_{GS_p} = -5V$) variierender Stromergiebigkeit dienen (Bild 4). Für den Fehlernachweis über den Substratstrom muß sich der n- oder der p-Kanaltransistor im Einschnürbereich befinden. Bild 4 zeigt die Kennlinienäste der eingeschalteten Transistoren. Der Einschnürbereich des n-Kanaltransistors reicht von $U_{DD} - |U_T|$ bis U_{DD} und für den p-Kanaltransistor von $0V$ bis $|U_T|$. Bei genau gleicher Stromergiebigkeit beider Schaltzweige ist der Kurzschluß nicht nachweisbar. Für eine Technologie mit einer Schwellspannung von $|U_T| = 0,7V$ (Bild 4a) führen Kurzschlüsse nur zu einem statischen Substratstrom, wenn sich die Stromergiebigkeiten beider Transistoren mindestens um den Faktor 1,6 bzw. 0,63 unterscheiden. Bei einer Schwellspannung $|U_T| = 1,5V$ (Bild 4b) genügt eine Asymmetrie von 0,9 bzw. 1,1. In Netzwerken mit parallelen Schaltzweigen ändert sich die Stromergiebigkeit in Abhängigkeit von den Schaltzuständen der einzelnen Transistoren mindestens in dieser Größenordnung, so daß sich für nahezu alle Kurzschlußmöglichkeiten Testfälle mit statischem Substratstrom konstruieren lassen.

Bild 4c modelliert den Fall, daß ein gesperrtes p-Netzwerk in einem Gatter von einem ohmschen Widerstand überbrückt wird. Für die Nachweisbarkeit des Fehlers darf der Spannungsabfall über dem Widerstand nicht größer als U_T sein. Es sind Brücken zu den Versorgungsspannungen in einem Widerstandsbereich von 0 bis einige 100 Ohm nachweisbar. Für Technologien mit höherer Schwellspannung liegt die obere Grenze entsprechend höher.

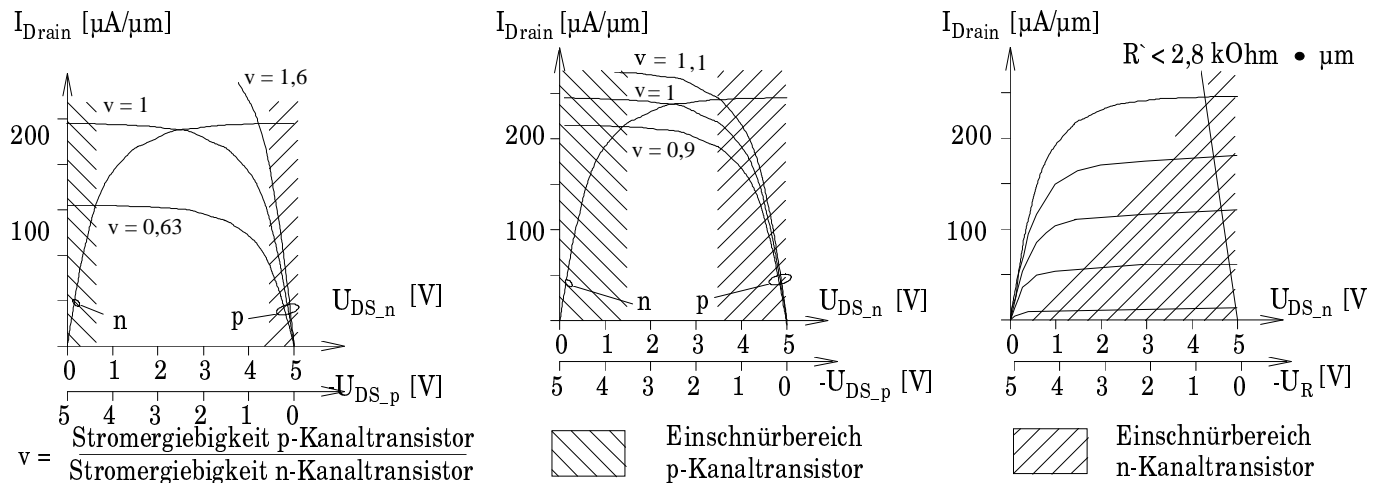


Bild 4: Nachweisbarkeit von Kurzschlüssen a.) zwischen Signalleitungen $U_T = 0,7V$
b.) zwischen Signalleitungen $U_T = 1,5V$ c.) ohmscher Kurzschluß zur Versorgungsspannung

5 Built-in Substratstromüberwachung

Für eine vernünftige Fehlererkennung muß der Substratstrom aller n- und p-Kanaltransistoren überwacht werden. Der Kontrast zwischen fließendem und nicht fließendem Substratstrom beträgt 10^5 bis 10^7 . Daraus resultiert, daß für je 1.000 bis 10.000 Gatter eine Stromüberwachungslogik erforderlich ist. Im Vergleich zum Drainstrom ist der Substratstrom um etwa 4 bis 6 Zehnerpotenzen geringer. Mit externer Meßtechnik ist er auf Grund der unvermeidlichen parasitären Kapazitäten und Widerstände des Meßaufbaus nicht auswertbar. Für einen integrierten Meßaufbau ist die Auswertung möglich. Voraussetzung ist eine Technologie, in der alle n- und alle p-Transistoren in Wannen angeordnet sind. Die Wannen besitzen eine gewisse Kapazität zu den Versorgungsspannungen. Im normalen Betrieb und vor dem Meßvorgang sind die Wannen über spezielle Transistoren mit U_{SS} bzw. U_{DD} verbunden. Zur Auswertung werden sie für eine bestimmte Zeit isoliert. Eine nachweisbare Veränderung der Wannenpotentiale deutet auf einen Substratstrom.

Literatur

- [Fa84] F. Fantini: Reliability problems with VLSI. Electron. Reliab., vol. 24, no. 2, 1984, pp. 275-298
- [So86] J. M. Soden, C. F. Hawkins: Test considerations for gate oxide shorts in CMOS ICs. IEEE Design and Test, vol. 3, no. 4, 1986, pp. 56-64
- [St90] T. M. Storey, W. Maly: CMOS bridging fault detection. Int. Test Conf., 1990, pp. 842-845
- [Gr93] T. Graetz, W. Klix, J.-U. Schlüßler, R.G. Spallek: Process and device simulation as an integral part of semiconductor design process. Workshop on VLSI Design Training, Toledo, 1993, pp. 401